

DIALOG(R)File 352:DERWENT WPI

(c) 2000 DERWENT INFO LTD. All rts. reserv.

008363249 **Image available**

WPI Acc No: 90-250250/199033

XRAM Acc No: C91-106685

XRPX Acc No: N91-187487

Mfr. of thin film poly-silicon@ structure e.g. transistor - by depositing
first heavily doped polysilicon@ layer, forming surface diffusion barrier
and adding second undoped polysilicon@ layer

Patent Assignee: IND RES INST OF JAPAN (KOGY); IND TECHN RES INST
(INTE-N)

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
JP 2174170	A	19900705	JP 89196440	A	19890728		199033 B
US 5037766	A	19910806	US 90466583	A	19900117		199134

Priority Applications (No Type Date): US 88280646 A 19881206; US 90466583 A
19900117

Abstract (Basic): JP 2174170 A

Claimed is a lead frame comprising on the whole surface thereof, or
on the surface except for the outer lead parts, a Ni-(alloy) plating
layer, provided that at least the die bonding part of the Ni(alloy)
plating layer comprises thereon a Ni-Sn alloy layer and further thereon
a Sn-(alloy) plating layer.

The mfg. process comprises forming the Sn-(alloy) plating layer on
the Ni-(alloy) layer and heating to obtain the Ni-Sn alloy layer
between the plated layers.

USE/ADVANTAGE - Improves solder bondability of semiconductor chips
with Ni or the lead frame. (5pp Dwg.No.0/0)

Title Terms: MANUFACTURE; THIN; FILM; POLY; SILICON; STRUCTURE; TRANSISTOR;
DEPOSIT; FIRST; HEAVY; DOPE; POLY; SILICON; LAYER; FORMING; SURFACE;
DIFFUSION; BARRIER; ADD; SECOND; UNDOPE; POLY; SILICON; LAYER

Derwent Class: L03; U11

International Patent Class (Additional): H01L-021/26; H01L-027/04;
H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 1999 JPO & JAPIO. All rts. reserv.

03198670

THIN-FILM TRANSISTOR AND TWO-LAYER POLYSILICON THIN-FILM STRUCTURE FOR
THIN-FILM RESISTOR

PUB. NO.: 02-174170 [JP 2174170 A]

PUBLISHED: July 05, 1990 (19900705)

INVENTOR(s): CHINNSHIN WAN

APPLICANT(s): IND TECHNOL RES INST [198533] (A Non-Japanese Company or
Corporation), TW (Taiwan)

APPL. NO.: 01-196440 [JP 89196440]

FILED: July 28, 1989 (19890728)

PRIORITY: 7-280,646 [US 280646-1988], US (United States of America),
December 06, 1988 (19881206)

INTL CLASS: [5] H01L-029/784; H01L-027/04; H01L-027/11

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R100 (ELECTRONIC MATERIALS -- Ion Implantation)

⑤ 日本国特許庁(JP) ⑥ 特許出願公開
 ⑦ 公開特許公報(A) 平2-174170

⑧ Int. Cl.³
 H 01 L 29/784
 27/04
 27/11

識別記号 庁内整理番号
 P 7514-5F

⑨ 公開 平成2年(1990)7月5日

8624-5F H 01 L 29/78 3 1 1 C
 8624-5F 27/10 3 8 1
 審査請求 有 請求項の数 10 (全6頁)

⑩ 発明の名称 薄膜トランジスタおよび薄膜抵抗器用二層ポリシリコン薄膜構造

⑪ 特 願 平1-196440
 ⑫ 出 願 平1(1989)7月28日

優先権主張 ⑬ 1988年12月6日 ⑭ 米国(US) ⑮ 280646

⑯ 発 明 者 チン・シン・ワン 台湾新竹市光華街22巷3號
 ⑰ 出 願 人 財団法人工業技術研究 台湾新竹県竹東鎮中興路四段195号
 院
 ⑱ 代 理 人 弁理士 湯浅 恭三 外4名

明 細 書

1. 発明の名称

薄膜トランジスタおよび薄膜抵抗器用二層ポリシリコン薄膜構造

2. 特許請求の範囲

1. 第1層の高濃度ドーブド層と、第2層の未ドーブド層と、高濃度ドーブド層に形成されかつ高濃度ドーブド層と未ドーブド層との間に介在されて、高濃度ドーブド層にドーピングされたドーパントが、上記高濃度ドーブド層から上記未ドーブド層へ拡散するのを阻止するよう形成された拡散阻止領域と、を含むよう構成されたことを特徴とする二層多結晶半導体薄膜構造。
2. 上記拡散阻止領域は、上記高濃度ドーブド層の表面に、ガス処理により形成されたことを特徴とする請求項1記載の二層多結晶半導体薄膜構造。
3. 上記ガス処理は、酸素を使用したことを特徴とする請求項2記載の二層多結晶半導体薄膜構造。

4. 上記ガス処理は、窒素を使用したことを特徴とする請求項2記載の二層多結晶半導体薄膜構造。

5. 請求項1記載の二層多結晶半導体薄膜構造において、該構造は抵抗器を構成しており、上記未ドーブド層は高抵抗率の抵抗を形成し、上記高濃度ドーブド層は該抵抗器のコンタクト領域を形成することを特徴とする、二層多結晶半導体構造。

6. 上記半導体はシリコンであることを特徴とする請求項1記載の二層多結晶半導体薄膜構造。

7. 上記ドーピングされたドーパントは、ヒ素、リン又はホウ素であることを特徴とする請求項6記載の二層多結晶半導体薄膜構造。

8. 上記酸素処理は、上記高濃度ドーブド層がドーピングされたのちに実行されることを特徴とする請求項3記載の二層多結晶半導体薄膜構造。

9. 上記酸素処理は、格納された酸素により、400℃～500℃の温度範囲で実行されるこ

とを特徴とする請求項3記載の二層多結晶半導体薄膜構造。

10. 上記未ドーブド層が薄膜電界効果トランジスタのチャネルとして用いられ、このチャネルは、制御電圧としての絶縁ゲートを備えることを特徴とする二層多結晶半導体薄膜構造。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は、二層多結晶薄膜である二層ポリシリコン薄膜構造に関し、特に散逸抵抗技術を用いて小型化した二層ポリシリコン薄膜構造を有する薄膜電界効果トランジスタ及び薄膜抵抗器に関する。

【従来の技術】

高抵抗性ポリシリコンは、スタティックランダムアクセスメモリ(Static Random Access Memory)に高記憶密度と低消費電力(Low Power Dissipation)の特性を持たせることができるが、結晶粒界中の高濃度ドーパントは、高い拡散係数を有するため、ポリシリコン薄膜を抵抗器として用いた場合に抵抗器を小型化することができなかった。従

は、高い記憶密度と高い演算速度の三次元集積回路を実現する場合の必要条件であると述べ、薄膜トランジスタの小型化及び低スレッショルド化の必要性を述べている。

【発明が解決しようとする課題】

ところが、T. Ohnishiが提案した方法で酸素を注入した場合、ポリシリコン薄膜抵抗器を小型化する効果を奏することができるが、ポリシリコン薄膜トランジスタの場合は、その製造が容易ではないという問題点があった。即ち、T. Ohnishiの方法によれば、製造されるポリシリコン薄膜トランジスタのスレッショルド電圧が高められてしまうので、それを解消してスレッショルド電圧を低く抑えるためには、ポリシリコン薄膜トランジスタの製造時に、抵抗領域に酸素を注入する時点で、ポリシリコン薄膜トランジスタを遮断する必要がある。従って、スレッショルド電圧を所定レベルに抑えるためには、多くのモノリングラフィックプロセスを必要とする事になり、ポリシリコン薄膜トランジスタの製造が容易ではなかった。

来の技術文献として、B. Sakis等はIEEE International Electron Devices Meeting Proceedings (1988)に、“A Novel Scaled Down Oxygen Implanted Polysilicon Resistor for future static RAMs”を発表した。その論旨は、酸素を注入することにより、薄膜抵抗器を小型化しようとする着想にある。そして、T. Ohnishiは、IEEE Transactions on Electron Devices, Vol. ED-32, September (1985), p. 1749-1755に、“Ion-Implanted Thin Polycrystal-line silicon High-Value Resistors for High Density Poly-Load Static RAM Applications”と題して、酸素をポリシリコン層に注入することにより、高熱処理後の結晶粒界でのドーパント(たとえば、ひ素)の拡散速度は急減されると述べた。T. Ohnishiもまた、IEEE Journal of solid state circuit, Vol. SC-15, Oct. (1980), p. 854-861に、“An 1Kx1Bit static MOS RAM Fabricated by a-MOS/a-well CMOS Technology”と題して、ポリシリコン薄膜トランジスタを小型化し、かつできるだけ低いスレッショルド電圧を保有させること

本発明の第1の目的は、ドーパントが結晶粒界に沿って高濃度ドーブド領域から未ドーブド層本質領域へ拡散するのを阻止しようとすることである。

第2の目的は、ポリシリコン薄膜抵抗器及びポリシリコン薄膜トランジスタの小型化を増進しようとすることである。

第3の目的は、スレッショルド電圧が低いポリシリコン薄膜トランジスタを提供することである。

第4の目的は、余計なモノリングラフィックプロセスを必要とすることなく、同一層にポリシリコン薄膜抵抗器及び薄膜トランジスタを製造することのできるプロセスを提供しようとすることである。

【課題を解決するための手段】

本発明のこれらの目的は、第1層の高濃度ドーブド層(領域)が形成された時点で該層に対し酸素処理を施して該層の表面及び結晶粒界へ酸素を拡散させ、その後形成される第2層の未ドーブド層(領域)への、高濃度ドーブド層からのドーパントの拡散を阻止するようにしたことにより達成

される。

本発明では、二層多結晶（ポリシリコン）構成を使用しており、高濃度ドーパド層は電極領域（コンタクト領域）として用いられ、未ドーパド層は抵抗層又はMOSトランジスタのチャネル層として用いられ、抵抗層として形成した場合にはその抵抗値が高いものが得られ、薄膜トランジスタとして形成した場合にはそのスレッシュホールド電圧が比較的低いものが得られる。

【実施例】

本発明の上記目的及び特徴は下記の説明と図面から明らかになるのであろう。

第1図には、本発明の一実施例の二層ポリシリコン薄膜抵抗器の縦断面図が示されている。ひ素(A)、リン又はホウ素(B)でドーパされた高濃度ドーパドポリシリコン層(1)は、薄膜抵抗器の電極として使用され、第2層のポリシリコン層(2)は、本質型(intrinsic type)に属し、高抵抗率（単位長さ当たりの抵抗値）の抵抗層として使用される。基板(3)は任意の絶縁体からなるもの

形成される。次に第3図(b)に示されるように約400～500度Cの温度で約5～10分間酸素処理を実行し、酸素を高濃度ドーパドポリシリコン層(1)の表面及び結晶粒界へ拡散させる。酸素分子は図中、ドットで示されており、模式的に格子で表された粒界及び層(1)の表面に拡散される。その後、第3図(c)に示されるように未ドーパド本質ポリシリコン層(2)が最上部に形成される。この場合もLPCVD法を用いて、約560度Cの温度で形成される。

このように形成された薄膜抵抗器において、高濃度ドーパドシリコン層(1)にドーパされたドーパントは、酸素分子の存在により本質ポリシリコン層(2)へ拡散されることがない。また、酸素分子は本質ポリシリコン層(2)が形成された後は第3図(c)に模式的に示された位置に留まることになる。

第4図は、上記の酸素処理を施した薄膜抵抗器の抵抗率（即ち、単位長さ当たりの抵抗値）とマスク長との関係を、酸素処理の時間をランニング

で、未ドーパド層の本質ポリシリコン層(2)が形成される前に、高濃度ドーパドポリシリコン層(1)は形成される。

第2図には、本発明の一実施例の二層ポリシリコン薄膜トランジスタの縦断面図が示されている。高濃度ドーパドポリシリコン層(11)は、第1図に示された高濃度ドーパド層(1)と同様に電極として用いられ、この場合はトランジスタのソース及びドレイン電極として用いられている。チャネル領域は、第1図に示された抵抗器の第2層のポリシリコン層(2)と同様の本質型ポリシリコン層(12)に形成されるものである。さらにゲート絶縁体層(14)が積層されており、該絶縁体層にはゲート電極15が付されて電界効果トランジスタが形成される。

第3図には、第1図の薄膜抵抗器の製造方法が示されている。第3図(a)に示されるように、まず高濃度ドーパドポリシリコン層(1)が基板(3)上に形成される。これは例えば、低圧化学気相成長法(LPCVD)により約610度Cで

パラメータとして示している。この図から、マスク長の短い抵抗器においては、酸素処理の時間が短くなればなるほど、抵抗率がより急激に低下する事が判る。従って所定時間以上の酸素処理がマスク長の短い抵抗器の高抵抗率を得る場合に効果がある事が判る。

第2図に示した構造の電界効果トランジスタは、薄膜抵抗器を形成するための第3図(a)～(c)の工程後、絶縁層(14)及びゲート電極(15)を形成することによって形成されるものである。

薄膜電界効果トランジスタにおいて、もし酸素処理が全く行われていなければ、ドーパントはトランジスタのドレイン及びソース領域（即ち高濃度ドーパドポリシリコン層）からチャネル領域（即ち本質ポリシリコン層）へ侵入してしまうため、スレッシュホールド電圧が高くなってしまうが、本発明における電界効果トランジスタは高濃度ドーパドポリシリコン層に酸素処理を施しているため、チャネル長の短い薄膜MOSトランジスタのスレッシュホールド電圧の上昇を防止することができる。

第5図には、本発明による薄膜MOSトランジスタのドレイン電流(I_d)対ゲート電圧(V_g)の関係特性図が示されている。この例のトランジスタは、幅50 μ m、長さ2 μ m、チャンネル層の厚さ0.8 μ mである。ゲート絶縁体層は二層に形成されており、下層は350Åの二酸化ケイ素(SiO_2)で、上層は300Åの窒化ケイ素(Si_3N_4)である。上記図において、ゲート電圧が約4Vになると、ドレイン電圧が急速に低下していることが解るが、この電圧値はスレッシュールド電圧であり、比較的低レベルとなっている事が解る。

なお、上記した説明においては、酸素処理を行うことにより拡散阻止領域を形成しているが、別の気体例えば、窒素を酸素の代わりに用いても同様な効果が得られるものである。従って本発明は酸素処理に限定されるものではない。

〔発明の効果〕

本発明は以上のように構成されているので、マスク長の比較的短い抵抗器であっても、その抵抗値を比較的大きくすることができ、また電界効果

トランジスタの場合にはマスク長の短いものであってもスレッシュールド電圧を比較的低くすることができ、したがって抵抗値の大きい抵抗器、及びスレッシュールド電圧の高い電界効果トランジスタを高密度にかつ容易に形成することができる。

4. 図面の簡単な説明

第1図は本発明の実施例による二層ポリシリコン薄膜抵抗器の縦断面図、第2図は本発明の実施例による二層ポリシリコン薄膜トランジスタの縦断面図、第3図は第1図に示された二層ポリシリコン薄膜抵抗器の製造過程の要部を説明するための説明図、第4図は本発明による薄膜抵抗器の抵抗率対マスク長特性を酸素処理時間をランニングパラメータとして示した特性図、第5図は本発明による薄膜トランジスタのドレイン電流対ゲート電圧特性を示す特性図である。

- 1、11…高濃度ドーパドポリシリコン層
(第1層)
- 2、12…未ドーパド本質ポリシリコン層
(第2層)

3…基板

14…ゲート絶縁体層

15…ゲート電極

代理人 弁理士 湯 浅 森



(外4名)

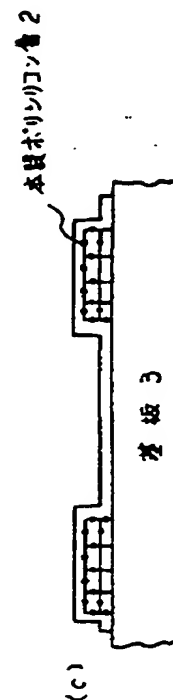
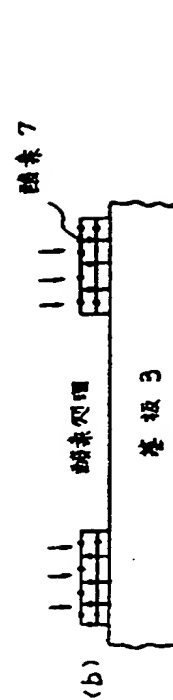
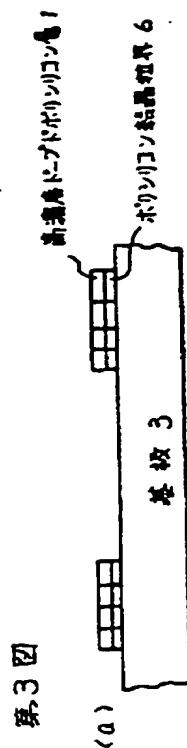
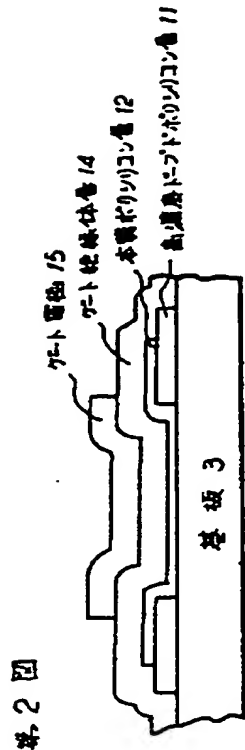
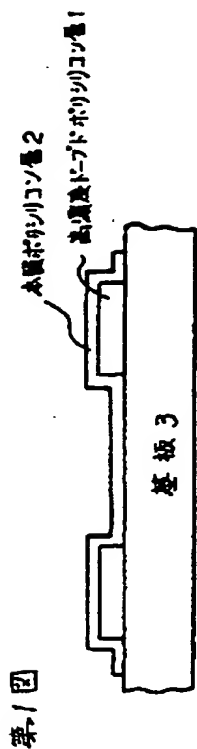
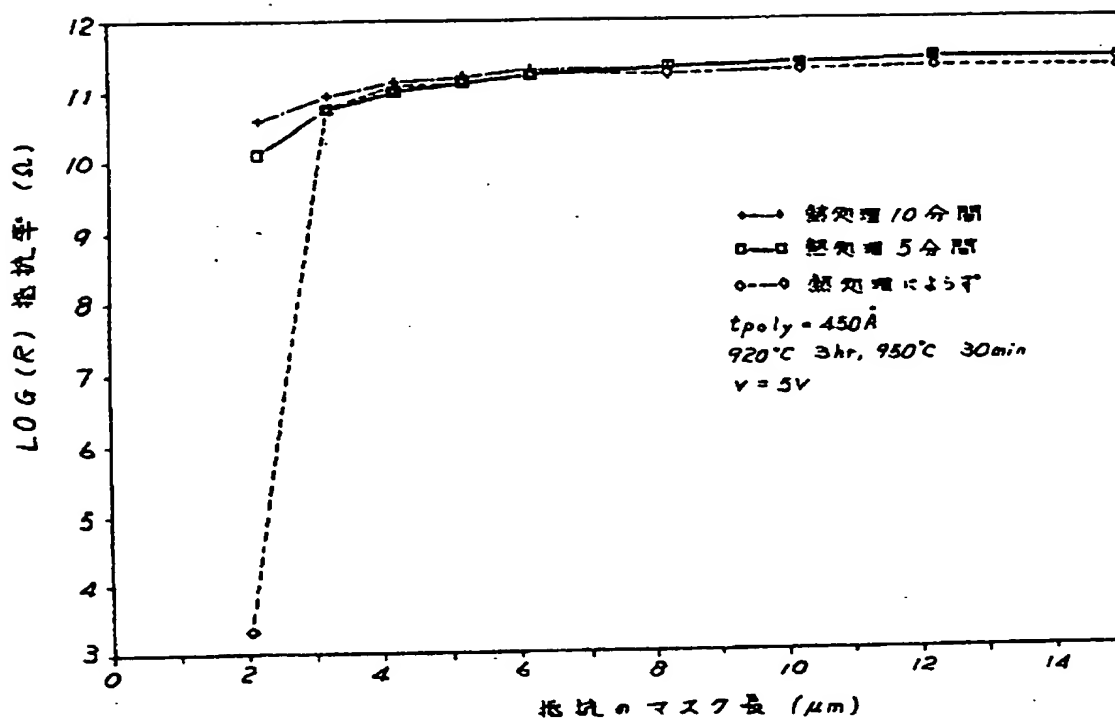


図 4



第 5 図

ドレイン電流 I_D (A)

